

(3)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003年11月6日 (06.11.2003)

UCT

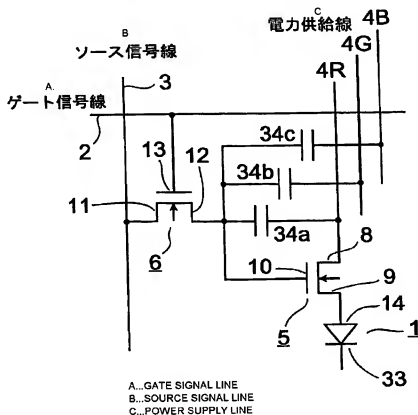
(10) 国際公開番号  
WO 03/091971 A1

- (51) 国際特許分類: G09F 9/30, H05B 33/12, 33/14, G02F 1/1368
- (21) 国際出願番号: PCT/JP03/05222
- (22) 国際出願日: 2003年4月23日 (23.04.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2002-125592 2002年4月26日 (26.04.2002) JP  
特願2002-159124 2002年5月31日 (31.05.2002) JP  
特願2002-173817 2002年6月14日 (14.06.2002) JP  
特願2002-173816 2002年6月14日 (14.06.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒570-0083 大阪府守口市京阪本通2丁目5番5号 Osaka (JP). 鳥取三洋電機株式会社 (TOTTORI SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒680-8634 鳥取県鳥取市南吉方3丁目201番地 Tottori (JP).
- (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 森田 聡 (MORITA, Satoshi) [JP/JP]; 〒680-8634 鳥取県鳥取市南吉方3丁目201番地 鳥取三洋電機株式会社内 Tottori (JP). 田中 慎一郎 (TANAKA, Shinichiro) [JP/JP]; 〒680-8634 鳥取県鳥取市南吉方3丁目201番地 鳥取三洋電機株式会社内 Tottori (JP). 小林 修 (KOBAYASHI, Osamu) [JP/JP]; 〒680-8634 鳥取県鳥取市南吉方3丁目201番地 鳥取三洋電機株式会社内 Tottori (JP).

[続表有]

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: A display device includes a plurality of light emitting elements arranged in a matrix. A scan signal is made to flow into a gate signal line and a data signal is made to flow into a source signal line, so that the data signal is supplied to a source electrode and the scan signal is supplied to a gate electrode of a control TFT arranged at a portion where the both signal lines intersect when viewed from above. Thus, when the control TFT is turned ON, a drive TFT having a gate electrode connected to the drain electrode is turned ON, so that current is supplied from a power supply line via the source electrode and the drain electrode of the drive TFT to an organic EL element and the organic EL element emits light. A holding capacity is present between the control TFT and the drive TFT. Even when the scan signal becomes LOW level and the control TFT turns OFF, the gate potential of the drive TFT is held for a predetermined period of time by the holding capacity and the organic EL element continues to emit light.

[続表有]



県 鳥取市 南吉方 3 丁目 2 0 1 番地 鳥取三洋電機株式会社内 Tottori (JP).

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR).

(74) 代理人: 佐野 静夫 (SANO, Shizuo); 〒540-0032 大阪府大阪市中央区天満橋京町2-6 天満橋八千代ビル別館 Osaka (JP).

添付公開書類:  
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(81) 指定国 (国内): CA, CN, JP, KR, SG, US.

# (57) 要約:

本発明の表示装置は、複数の発光素子をマトリクス状に配置したものである。走査信号をゲート信号線に流し、データ信号をソース信号線に流すことで、両信号線が平面的に見て交差する部分に配置された制御用 T F T のソース電極にデータ信号が、ゲート電極に走査信号が供給される。このようにして制御用 T F T が ON すると、このドレイン電極にゲート電極が接続された駆動用 T F T が ON になり、電力供給線から駆動用 T F T のソース電極とドレイン電極を介して有機 E L 素子に電流が供給されて有機 E L 素子が発光する。制御用 T F T と駆動用 T F T の間には保持容量が存在し、走査信号が LOW レベルになって制御用 T F T が OFF になっても、駆動用 T F T のゲート電位は保持容量により所定の時間保持され、有機 E L 素子の発光が続く。

## 明細書

## 表示装置

## 技術分野

本発明は、発光素子をマトリクス状に配置した表示装置に関する。

## 背景技術

近年、フラットパネルディスプレイとして携帯電話から大型テレビに至るまでLCDが広く用いられている。しかしLCDは自発光型ではないため視野角が狭く、バックライトなどの光源を必要とするため低消費電力化にも限界があった。そこでLCDに代わる表示装置として、例えば有機エレクトロルミネッセンス（以下、有機ELという）を用いた自発光型の表示装置が研究されている。

これは有機EL素子を備えた画素をマトリクス状に配置し、各有機EL素子を駆動して発光させて画像表示を行う。この駆動方式としてアクティブマトリクス方式を用いた場合、各画素に薄膜トランジスタ（以下、TFTという）を設けて各画素を独立して駆動できるため、高精細で高輝度な表示を得ることができ、さらに高効率な発光特性が得られ、低消費電力化を実現することが可能となる。この表示装置では、画素毎に、一対の電極により発光層を挟み込んだ有機EL素子と、有機EL素子の一方の電極に電流を供給する駆動用TFTと、この駆動用TFTの動作を制御する制御用TFTを設けている。一般に、この駆動用TFTや制御用TFTには、活性層が多結晶化したポリシリコン型TFTが用いられている。

しかしながら、駆動用TFTや制御用TFTがポリシリコン型TFTの場合、製造工程が複雑で且つ難しく、高い製造技術や高価な製造装置を必要としていた。したがって、それだけ完成品の表示装置も高価になってしまう。また、活性層を均一に多結晶化することが難しいため、特性が均一なTFTを大面積で製造することが難しく、大型化への支障になっていた。

## 発明の開示

本発明はかかる点に鑑みなされたもので、容易にＴＦＴが製造でき、大型化にも適した自発光型の表示装置を提供することを目的とする。

上記目的を達成するために本発明の表示装置は、複数の画素をマトリクス状に配置した表示装置において、各画素内に設けた発光素子と、各画素毎に設けるとともに前記発光素子に電流を供給して発光させる駆動用ＴＦＴと、前記駆動用ＴＦＴの動作を制御する制御用ＴＦＴを備え、前記駆動用ＴＦＴ及び制御用ＴＦＴの半導体層がアモルファスシリコンで形成されることを特徴とする。

また本発明は、上記構成の表示装置において、前記発光素子を縦長状に形成し、前記駆動用ＴＦＴを横長状に形成し、その長手方向が前記発光素子の長手方向と直交するように配置することとした。

また本発明は、上記構成の表示装置において、発光素子を縦長状に形成し、前記駆動用薄膜トランジスタを横長状に形成し、前記制御用薄膜トランジスタに接続するゲート信号線とソース信号線をマトリクス状に配置し、前記発光素子をその長手方向が前記ソース信号線と平行になるように配置し、前記駆動用薄膜トランジスタをその長手方向が前記ゲート信号線と平行になるように配置することとした。

また本発明は、上記構成の表示装置において、前記駆動用薄膜トランジスタはチャンネル領域を細長状に形成し、そのチャンネル領域の長手方向が前記ゲート信号線と平行になるように配置することとした。

また本発明は、上記構成の表示装置において、前記駆動用ＴＦＴは、ソース電極とドレイン電極のうち一方の電極は直線状に形成され、他方の電極は一方の電極を囲む形状に形成されているようにした。

また本発明は、上記構成の表示装置において、前記駆動用ＴＦＴは、Ｕ字状のソース電極と、前記Ｕ字状の二又の間に配置されたドレイン電極とを有することとした。

また本発明は、上記構成の表示装置において、マトリクスの行方向の各画素内

に設けられた前記制御用薄膜トランジスタのゲート電極に共通に接続されたゲート信号線と、前記駆動用薄膜トランジスタを介して前記発光素子に電流を供給する電力供給線とを行ごとに備え、列方向の各画素内に設けられた前記制御用薄膜トランジスタのソース電極に共通に接続されるとともに前記ゲート信号線に交差するソース信号線を列ごとに備え、前記ゲート信号線と前記ソース信号線とで囲まれた領域内では、平面的に見てソース信号線に沿って発光素子、駆動用TFT、電力供給線、制御用TFTの順に配置することとした。

また本発明は、上記構成の表示装置において、前記駆動用TFTと前記制御用TFTの間には保持容量が設けられ、前記保持容量の一方の電極は電力供給線が兼ね、他方の電極は前記制御用TFTのドレイン電極と接続する補助電極によって形成し、前記補助電極は前記駆動用TFTのゲート電極と電気的に接続されているようにした。

また本発明は、上記構成の表示装置において、異なる色を発する発光素子を備え、その発光色毎に対応した複数の電力供給線を設け、その複数の電力供給線を駆動用薄膜トランジスタと制御用薄膜トランジスタの間に配置し、発光素子には対応する電力供給線からの電流を供給することとした。

また本発明は、上記構成の表示装置において、前記制御用TFTのゲート電極としてゲート信号線を用い、前記制御用TFTはゲート信号線上に形成されているようにした。

また本発明は、上記構成の表示装置において、前記発光素子の周囲にバンク層が配置されており、前記バンク層は前記駆動用TFT上にも重なるように形成され、前記発光素子と、前記駆動用TFTとの間の前記バンク層に切り欠き部が形成され、少なくとも切り欠き部付近の前記バンク層には遮光性の膜が積層されているようにした。

また本発明は、上記構成の表示装置において、前記発光素子の周囲にバンク層が配置されており、前記バンク層は前記制御用TFT上にも重なるように形成され、前記発光素子と、隣接する画素に設けられた前記制御用TFTとの間の前記バンク層に切り欠き部が形成され、少なくとも切り欠き部付近の前記バンク層に

は遮光性の膜が積層されているようにした。

また本発明は、上記構成の表示装置において、前記駆動用薄膜トランジスタ及び前記制御用薄膜トランジスタを覆うようにバンク層が形成され、前記バンク層の端縁が駆動用薄膜トランジスタ及び制御用薄膜トランジスタと前記発光素子との間に位置し、前記バンク層には遮光性の膜が積層されているようにした。

また本発明は、上記構成の表示装置において、前記発光素子の発光層の下方に配置されるとともに前記駆動用 T F T に接続する画素電極と、前記発光層を挟んで前記画素電極と対向配置するとともに前記バンク層を覆う対向電極とを備え、前記遮光性の膜は前記対向電極により形成されているようにした。

また本発明は、上記構成の表示装置において、前記駆動用 T F T と前記制御用 T F T は n チャネル型により形成されているようにした。

また本発明は、上記構成の表示装置において、前記駆動用 T F T と前記制御用 T F T は p チャネル型により形成されているようにした。

また本発明は、上記構成の表示装置において、前記発光素子は有機 E L であるようにした。

#### 図面の簡単な説明

- 図 1 本発明の実施例である表示装置の画素部分の回路図である。
- 図 2 本発明の表示装置の画素及び周辺の平面図である。
- 図 3 画素内に設けられた発光素子の断面概略図である。
- 図 4 R G B の 3 画素のうちの 1 つの画素の平面図である。
- 図 5 制御用 T F T 周辺の断面概略図である。
- 図 6 電力供給線及び保持容量周辺の断面概略図である。
- 図 7 駆動用 T F T 周辺の断面概略図である。
- 図 8 遮光しない場合及び遮光した場合の T F T への光の入射を示す図である。

発明を実施するための最良の形態

本発明の実施例を図面を参照して説明する。図 1 は本発明の画素部分の回路図を模式的に示した図であり、図 2 は表示装置の画素周辺の平面図であり、図 3 は画素内に設けられた発光素子の断面概略図（図 2 の D—D 断面）である。この実施例では発光素子に有機 EL 素子 1 を用いる。また図 3 に示す対向電極 3 3 は、図面を分かり易くする為に図 2 では省略している。

図 1 に示すように、有機 EL 素子 1 は画素電極 1 4 から対向電極 3 3 に電流が流れることにより発光し、その電流値を制御することで輝度を調整できる。ある特定の画素の有機 EL 素子 1 を発光させるためには、走査信号をゲート信号線 2 に流し、データ信号をソース信号線 3 に流すことで、両信号線が平面的に見て交差する部分に配置された第 2 のトランジスタである制御用 TFT 6 のソース電極 1 1 にデータ信号が、ゲート電極 1 3 に走査信号が供給される。このようにして制御用 TFT 6 が ON すると、このドレイン電極 1 2 にゲート電極 1 0 が接続された第 1 のトランジスタである駆動用 TFT 5 が ON になり、電力供給線 4 から駆動用 TFT 5 のソース電極 8 とドレイン電極 9 を介して有機 EL 素子 1 に電流が供給されて有機 EL 素子 1 が発光する。制御用 TFT 6 と駆動用 TFT 5 の間には保持容量 3 4 が存在し、保持容量 3 4 は一方の電極を電力供給線 4 で、他方の電極をドレイン電極 1 2 と同時形成される補助電極で形成する。そして走査信号が LOW レベルになって制御用 TFT 6 が OFF になっても、駆動用 TFT 5 のゲート電位は保持容量 3 4 により所定の時間保持され、有機 EL 素子 1 の発光が続く。

次に、本発明の表示装置の構造を図 2、図 3 を参照して説明する。表示領域ではゲート信号線 2 とソース信号線 3 がマトリクス状に配線され、ゲート信号線 2 とソース信号線 3 で囲まれた部分に画素が形成される。各画素内には発光層 1 6 に有機 EL を用いた有機 EL 素子 1 が設けられ、この有機 EL 素子 1 に電力供給線 4 からの電流を供給する駆動用 TFT 5 と、駆動用 TFT 5 の ON/OFF を制御する制御用 TFT 6 がそれぞれ形成されている。そして電力供給線 4 から有機 EL 素子 1 に電流を供給すると発光層 1 6 がそれぞれの色で発光し、電流値を制御することで輝度の調整ができる。

ガラス基板 30 上には複数のゲート信号線 2 を平行に配線し、ゲート信号線 2 に沿って 3 本の電力供給線 4 を配線する。ゲート信号線 2 と電力供給線 4 はともに同一工程で同時形成され、Al や Cr により形成される。3 本の電力供給線 4 はそれぞれ画素の R、G、B に対応して設けられ、R 用電力供給線 4 R は赤色の発光層 16 (R) を有する有機 EL 素子 1 に、G 用電力供給線 4 G は緑色の発光層 16 (G) を有する有機 EL 素子 1 に、B 用電力供給線 4 は青色の発光層 16 (B) を有する有機 EL 素子 1 にそれぞれ接続する。有機 EL 素子 1 は発光材料によって発する色が異なるが、それと同時にその発光効率が異なるため、色毎に電力供給線 4 を設け、それぞれの色に適した電流を供給することで最適なフルカラー表示が可能になる。

ゲート信号線 2 や電力供給線 4 を形成するときに、電力供給線 4 と有機 EL 素子 1 の間には駆動用 TFT 5 のゲート電極 10 が同時に形成される。このゲート電極 10 は電力供給線 4 に沿って横長状に形成され、その一方の短辺が直線状に、他方の短辺が円弧状になっている。駆動用 TFT 5 は有機 EL 素子 1 に電流を供給する役割を果たすため、ON のときにできるだけ大きな電流を流す必要があり、そのために駆動用 TFT 5 のゲート電極 10 はできるだけ大きく形成される。

ガラス基板 30 上には SiNx (シリコン窒化膜) からなるゲート絶縁膜 31 が積層され、このゲート絶縁膜 31 によってゲート信号線 2 や電力供給線 4 を覆っている。ゲート絶縁膜 31 上にはアモルファスシリコン層 (以下、a-Si 層という) が積層され、フォトリソグラフィ法により TFT 5、6 の半導体層 (活性層) 7、13 に該当する部分だけ残される。このとき駆動用 TFT 5 の a-Si 層 7 は、ゲート電極 10 の外縁に沿った形状をしており、ゲート電極 10 の大部分に積層され、ゲート電極 10 の短辺部や円弧状部から一部はみ出ている。また制御用 TFT 6 の a-Si 層 13 はゲート信号線 2 にまたがった四角形状をしている。

a-Si 層 7、13 やゲート絶縁膜 31 上には Al と Mo を積層した金属層が形成され、この金属層をフォトリソグラフィ法によりパターニングしてソース信号線 3 や TFT 5、6 のソース・ドレイン電極などを形成する。このときソース



信号線 3 はゲート信号線 2 と直交して設けられ、ソース信号線 3 からはゲート信号線 2 との交差部付近で制御用 T F T 6 の a - S i 層 1 3 上まで伸びるソース電極 1 1 が突出している。制御用 T F T 6 のドレイン電極 1 2 は補助電極 1 3 4 及び後述する透明電極 2 1 を介して駆動用 T F T 5 のゲート電極 1 0 と接続し、制御用 T F T 6 が ON になったときに駆動用 T F T 5 のゲート電極 1 0 にソース信号線 3 を流れる電流を供給している。制御用 T F T 6 のドレイン電極 1 2 に接続する補助電極 1 3 4 はゲート絶縁膜 3 1 を間に挟んで電力供給線 4 を覆っており、電力供給線 4 と補助電極 1 3 4 によって保持容量 3 4 を形成している。特に a - S i 型 T F T の場合は、ポリシリコン型 T F T に比較してゲート絶縁膜 3 1 が厚くなるため、それだけ保持容量 3 4 の容量が小さくなる。そのため、その容量不足を補うためにできるだけ補助電極 1 3 4 で電力供給線 4 を覆っている部分が広い方がよく、補助電極 1 3 4 により画素内の電力供給線 4 の大部分を覆っている。

駆動用 T F T 5 内には、ほぼ U 字状のソース電極 8 と、このソース電極 8 の二又の間に位置するほぼ直線状のドレイン電極 9 とが形成されている。このソース電極 8 にはドレイン電極 9 と対向していない外縁部分から突出して電力供給線 4 付近まで伸びた電極 8 a が形成され、後述する透明電極 1 9 を介して各画素の色に応じた電力供給線 4 に接続されている。またドレイン電極 9 には a - S i 層 7 から出た部分で有機 E L 素子 1 側に曲がり、有機 E L 素子 1 の画素電極 1 4 まで伸びた電極 9 a が形成され、画素電極 1 4 と電気的に接続している。

駆動用 T F T 5 のソース電極 8 の外縁はゲート電極 1 0 の外縁に沿った形状をしており、U 字状の二又部分はゲート電極 1 0 上でできるだけ長くなっており、ドレイン電極 9 もソース電極 8 の二又部分の形状に対応して細長く形成されている。駆動用 T F T 5 では電力供給線 4 の電流を画素電極 1 4 に供給するため、ON 状態のときにできるだけ電流を流す必要がある。a - S i 型 T F T はポリシリコン型 T F T よりも電流が流れ難いため、駆動用 T F T 5 に a - S i 型 T F T を用いる場合には、この駆動用 T F T 5 をできるだけ大きくする必要がある。つまり、電流を流しやすくするためにはチャネル長を小さくしてチャネル幅を大きくすればよいが、チャネル長を小さくすることは製造技術上の限界があ

るため、駆動用TFT5をできるだけ大きくしチャネル幅を大きくした方が有効である。そこで、この実施例ではソース・ドレイン電極8、9の形状を工夫して、駆動用TFT5によりできるだけ電流が流れるようにしている。つまり駆動用TFT5のゲート電極10を横長にして、ソース電極8とドレイン電極9を細長くすることで、限られたスペース内でチャネル幅を大きく取ることができる。特に横長のゲート電極10をその長手方向がゲート信号線2と平行になるように配置することで、隣り合うソース信号線3の間にわたって駆動用TFT5を形成でき、さらにそのチャネル幅の方向をゲート信号線2と平行にすることで、駆動用TFT5の限られた大きさのなかでチャネル幅を効果的に大きくすることができる。さらにソース電極8をU字状にして、U字状の二叉の間にドレイン電極9を配置することで、ドレイン電極9の両側にソース電極8が位置してチャネル幅が2倍になるため、少ないスペースで有効にチャネル幅を大きくすることができる。

制御用TFT6は駆動用TFTのON/OFFを制御するだけでよいため、駆動用TFT5と異なり流れる電圧も少なくすみ、それだけサイズを小さくすることができる。そして制御用TFT6を小さくすれば、それだけ駆動用TFT5を配置するスペースを確保することができ、駆動用TFT5を大きくできる。そのため、ゲート信号線2とソース信号線3が平面的に見て交差する近傍で、ソース信号線3の配線を分岐させて、その分岐の先端部分を制御用TFT6のソース電極11として使用する。更に、後述するようにソース信号線3とその分岐部分、すなわち、ソース電極11を立体的に見てゲート信号線2の上方に配線することにより、又、制御用TFT6のドレイン電極12もソース電極11と構造的に同じ階層に同時に形成することにより、ゲート信号線2を制御用TFT6のゲート電極13として兼用できるメリットが生まれる。

制御用TFT6ではソース電極11とドレイン電極12がa-Si層13上で互いの一辺が対向しているだけだが、駆動用TFT5ではドレイン電極9を囲むようにソース電極8が配置されているため、それだけチャネル幅が大きくなり、またこの実施例では駆動用TFT5におけるソース電極8と対向するドレイン電極9の長さは制御用TFT6のチャネル幅の3倍以上あるため、駆動用TFT5

のチャンネル幅は制御用 T F T 6 のチャンネル幅の 6 倍以上になる。このように駆動用 T F T 5 のチャンネル幅を大きく確保すれば、駆動用 T F T に a - S i 型 T F T を用いた場合でも最適な表示を実現できた。なお、この実施例では駆動用 T F T 5 を可能な限り大きくしているため駆動用 T F T 5 のチャンネル幅が制御用 T F T 6 のチャンネル幅の 6 倍になったが、駆動用 T F T 5 のチャンネル幅を制御用 T F T 6 のチャンネル幅の 4 倍以上にすれば高品位な表示が得られる。また、この実施例では制御用 T F T 6 と駆動用 T F T 5 のチャンネル長はほぼ同じ大きさに設定されているが、駆動用 T F T 5 のチャンネル長を制御用 T F T 6 のチャンネル長よりも小さくすれば、それだけ電流が流れやすくなる。

ソース信号線 3 や T F T 5、6 を覆うように S i N x からなる絶縁膜 3 2 が形成され、絶縁膜 3 2 上に I T O (酸化インジウムスズ) や I Z O (酸化インジウム亜鉛) からなる透明電極が積層される。この透明電極をフォトリソグラフィ法によりパターンニングして画素電極 1 4 が形成される。この画素電極 1 4 は各画素内に位置してほぼ楕円形状をしており、ソース信号線 3 に沿って配置され、その一部分が駆動用 T F T 5 のドレイン電極 9 a の一部と重なるように張り出ている。この画素電極 1 4 とドレイン電極 9 a が重なる部分では、ドレイン電極 9 a 上の絶縁膜 3 2 にコンタクトホール 2 3 が形成され、画素電極 1 4 はコンタクトホール 2 3 を介してドレイン電極 9 a と電氣的に接続している。

画素電極 1 4 を形成するときに、透明電極を電力供給線 4 と駆動用 T F T 5 のソース電極 8 a の間にも残し、電力供給線 4 とソース電極 8 a を電氣的に接続している。つまり画素に対応した電力供給線 4 上ではゲート絶縁膜 3 1 及び絶縁膜 3 2 に電力供給線 4 の一部が露出するようにコンタクトホール 1 8 a が形成され、駆動用 T F T 5 のソース電極 8 a 上では絶縁膜 3 2 にソース電極 8 a の一部が露出するようにコンタクトホール 1 8 b が形成され、透明電極 1 9 は両コンタクトホール 1 8 a、1 8 b で露出した電力供給線 4、ソース電極 8 a に接触する。

また、透明電極は補助電極 1 3 4 と駆動用 T F T 5 のゲート電極 1 0 の間にも残され、透明電極 2 1 は両コンタクトホール 2 0 a、2 0 b で露出した補助電極 1 3 4、ゲート電極 1 0 に接触し、両電極 1 0、1 3 4 を電氣的に接続している。

次に、図2で示すRGBの3画素のうちの1画素の平面図を図4に示し、各要素の層の断面について説明する。図5は制御用TFT6周辺の概略断面図（図4のA-A断面）である。最初に、表示装置として共通のガラス基板30の上に、ゲート信号線2が形成される。この上にSiNxからなるゲート絶縁膜31が形成されるため、ゲート信号線2もゲート絶縁膜31により同時に覆われる。更に、ゲート絶縁膜31上にはa-Si層13が、ゲート信号線2を跨ぐようにその上方に積層される。a-Si層13の上には、N型不純物を含むN型のa-Si薄膜13aを介して、AlとMoを積層した金属層が形成され、この金属層をフォトリソグラフィ法によりパターニングして、ソース信号線3と、ソース信号線3から分岐したソース電極11と、ドレイン電極12が形成される。更にその上に、SiNxからなる絶縁膜32、SiO<sub>2</sub>（酸化シリコン）からなる保護膜15、バンク層17、対向電極33がそれぞれ積層される。

前述したように、3本の電力供給線4はそれぞれ画素のR、G、Bに対応して設けられるが、このように電力供給線4を3本配線しても有機EL素子1に割くことができる面積が減少しないように、電力供給線4をゲート信号線2に対して平行に配線すると同時に、保持容量34の形成のために新たな保持容量線や平面領域を追加することなく、電力供給線4を利用してその上部に保持容量34を立体的に設ける。通常、保持容量34を形成するために、ゲート信号線2やソース信号線3のように、各画素を貫通するように保持容量線を配線するが、本実施形態ではその必要が無くなる。

その電力供給線4と保持容量34の具体的な構造図を図6の電力供給線及び保持容量周辺の概略断面図（図4のB-B断面）を参照して説明する。まず、表示装置として共通のガラス基板30上の図5に示したゲート信号線2と同じ階層に、B用電力供給線4B、G用電力供給線4G、R用電力供給線4Rがそれぞれ形成されるとともに保持容量34の一方の電極の役割を果たす。その上にSiNxからなるゲート絶縁膜31が形成されるため、3本の電力供給線4もゲート絶縁膜31により同時に覆われる。更に、ゲート絶縁膜31上の、図5に示したソース電極11とドレイン電極12の電極と同じ階層に、AlとMoを積層した金属層

が形成され、この金属層をフォトリソグラフィ法によりパターンニングして、保持容量 34 の他方の補助電極 134 が、図 5 に示したドレイン電極 12 の延長として形成される。このようにして形成された電力供給線 4 と保持容量 34 は、具体的には、各色の画素に必要な保持容量 34a、34b、34c（図 1）を構成することになる。

保持容量 34 は、その補助電極 134 が駆動用 TFT5 のゲート電極 10（図 2）に接続されている。すなわち、保持容量 34 の補助電極 134 上の絶縁膜 32 に、補助電極 134 の一部が露出するようにコンタクトホール 20a が形成され、更に、図 2 に示すように、駆動用 TFT5 のゲート電極 10 の一部が露出するように、ゲート絶縁膜 31 と絶縁膜 32 の一部にもコンタクトホール 20b が形成される。そして両コンタクトホール 20a、20b を跨ぐように ITO 或いは IZO からなる透明電極 21 を形成し、コンタクトホール 20a により露出した補助電極 134 とコンタクトホール 21b により露出したゲート電極 10 が透明電極 21 を介して電氣的に接続される。その上の階層には、保護膜 15、パンク層 17、対向電極 33 がそれぞれ積層されている。

次に図 7 の駆動用 TFT 周辺の概略断面図（図 4 の C-C 断面）に駆動用 TFT5 の構造を示す。最初に、表示装置として共通のガラス基板 30 上に、ゲート電極 10 が形成される。この上に SiNx からなるゲート絶縁膜 31 が形成されるため、ゲート電極 10 もゲート絶縁膜 31 により同時に覆われる。更に、ゲート絶縁膜 31 上には a-Si 層 7 からなる半導体層が積層される。この a-Si 層 7 上には、N 型不純物を含む N 型の a-Si 薄膜 7a を介して、Al と Mo を積層した金属層が形成され、この金属層をフォトリソグラフィ法によりパターンニングして、U 字上のソース電極 8 とドレイン電極 9 となる電極がそれぞれ形成される。更に、その上に SiNx からなる絶縁膜 32 が形成される。

上記のように形成された各素子と配線により、有機 EL 素子 1 が駆動されて発光するが、その構造を図 3 を参照して説明する。15 は SiO<sub>2</sub> からなる保護膜であり、絶縁膜 32 上に形成され、有機 EL 素子 1 の画素電極 14 の周縁部分に重なっている。つまり保護膜 15 は画素電極 14 の周縁部分を覆っているが、画

素電極 14 の中央部分を含む大部分で取除かれている。17 は保護膜 15 上に形成されたノボラック樹脂からなるバンク層であり、保護膜 15 や絶縁膜 32 よりも厚く形成される。このバンク層 17 で囲まれた領域内に発光材料である有機 EL が塗布されるため、バンク層 17 は画素電極 14 の外縁に沿って画素電極 14 を囲むように形成される。発光材料を溜めるだけであればバンク層 17 は画素電極 14 の周囲に設けてあればよいが、この実施例では両 TFT5、6 や電力供給線 4 上にも設けられている。なおバンク層 17 は絶縁体であればよく、ノボラック樹脂以外の有機樹脂または無機樹脂で形成してもよい。

画素電極 14 上には各画素の色に対応した発光材料がインクジェット方式により塗布され、バンク層 17 で囲まれた領域内にたまる。この発光材料には有機 EL が用いられ、例えば共役高分子前駆体を用いられる。その後、加熱処理により発光材料が高分子化し、画素毎に R、G、B の発光層 16 が形成される。

33 は A1 や Cr による対向電極であり、発光層 16 上に積層される。対向電極 33 は表示領域全体に形成され、所定の電圧が供給されている。この対向電極 33 を金属層で構成すれば発光層 16 による発光が可能になるため、対向電極 33 を A1 や Cr 以外の金属で形成してもよいが、この実施例のように対向電極 33 を A1 や Cr のような光反射率の高い金属層で構成すれば、発光層 16 からの光を効率よく表示に利用することができ、更に高輝度な表示を実現できる。画素電極 14 にしきい値以上の電流が供給されると発光層 16 が発光し、その光をガラス基板 30 側から観察することができる。

例えば、R、G 用の電力供給線 4 に +8 V ( $V_{dd}(R)$ 、 $V_{dd}(G)$ ) を、B 用の電力供給線 4 に +10 V ( $V_{dd}(B)$ ) を、対向電極 33 に -3 V をそれぞれ供給した場合、ゲート信号線 2 に走査信号を出力し、ソース信号線 3 にデータ信号を供給すると、走査された制御用 TFT6 が ON になり、そのときにソース信号線 3 に流れるデータ信号が制御用 TFT6 のドレイン電極 12 を介して駆動用 TFT5 のゲート電極 10 に供給され、駆動用 TFT5 が ON になる。その後、制御用 TFT6 が OFF になっても保持容量 34 により駆動用 TFT5 の ON 状態を維持するので、対応する電力供給線 4 を流れる電流が駆動用 TFT5 を介して画

素電極 1 4 に供給される。そして画素電極 1 4 と対向電極 3 3 の間で所定以上の電位差が生じ、発光層 1 6 に電流が流れ発光材料に応じた色の光を発する。なお、有機 EL では青色の発光材料の発光効率が他の色の発光材料の発光効率よりも悪いいため、青色の画素の画素電極 1 4 には他の画素の画素電極 1 4 よりも高い電圧が供給される。

本発明では、発光層 1 6 を縦長状にしてソース信号線 3 と平行に配置し、駆動用 TFT 5 を横長状にしてゲート信号線 2 と平行に配置している。つまり駆動用 TFT 5 の長手方向が発光層 1 6 の長手方向に直交するように駆動用 TFT 5 を配置している。この配置により、ソース信号線 3 とゲート信号線 2 で囲まれた限られた領域内に、大きな発光層 1 6 を配置しながら駆動用 TFT 5 をできるだけ大きくすることができる。特に駆動用 TFT 5 をソース信号線 3 の付近まで設けることができ、隣り合うソース信号線 3 の間の領域にわたって駆動用 TFT 5 を配置することができるため、駆動用 TFT 5 を大きくできる。よって駆動用 TFT 5 を a-Si 型 TFT にしたとしても、発光層 1 6 に十分な電流を供給することができ、最適な表示を得ることができる。

ここで横長状の駆動用 TFT 5 を縦長状の発光層 1 6 に直交させて配置するのは、駆動用 TFT 5 によって十分な電流を流すためであり、つまりチャネル幅を大きくすることにある。したがって駆動用 TFT 5 ではチャネルを細長く形成し、そのチャネル幅の方向（チャネルの長手方向）を発光層 1 6 の長手方向と直交するようにすれば、限られた領域内でチャネル幅を効果的に大きくすることができる。

また、本発明では、ゲート信号線 2 とソース信号線 3 により囲まれた領域内において、ソース信号線 3 に沿って発光層 1 6、駆動用 TFT 5、3 本の電力供給線 4、制御用 TFT 6 の順に並べている。この配置により各素子を整然と配置することが可能で、発光素子以外の素子の配置面積を縮小できるとともに電力供給線から発光素子までの電流線路長を短くすることができる。また、駆動用 TFT 5 と制御用 TFT 6 の間に電力供給線 4 を配置し、この電力供給線 4 を駆動用 TFT 5 の保持容量 3 4 として兼ねることにより、画素内のスペースを有効に使う

ことができ、各発光層 16 に対応した複数の電力供給線 4 を設けることができる。

このような各種の層が積層されて形成された画素は、図 5～図 7 に示すゲート絶縁膜 31、絶縁膜 32、透明電極 21、保護膜 15、バンク層 17、或いは、図 3 に示す画素電極 14 などの透明に近い層を数多く有している。又、これまでの説明から分かるように、制御関係の素子や配線が配置される領域をできる限り小さくして発光領域をできる限り大きくとるようにしているため、制御用 TFT 6 は隣接する画素の発光層 16 の近傍に、又、駆動用 TFT 5 は画素内の発光層 16 の近傍に配置されており、特に駆動用 TFT 5 は大きなチャネル幅を有し、発光層 16 に対して平行に配置されている。これにより発光層 16 からの光がこれらの TFT の半導体層に入射しやすくなるが、入射した場合 TFT に光リークが生じ、所定の電流が発光素子に供給できなくなる。そのため実際の表示状態が再現しようとする表示信号に応じた表示状態と異なることになり、表示品位が低下してしまう。

図 8 を参照して、発光層 16 からの光の遮光について説明する。図 8 (A) は遮光しない場合の TFT への光の入射を示す図であり、図 8 (B) は遮光した場合の光路を示す図である。尚、説明の便宜上、主要な層のみ図示し、他の層は省略している。図 8 (A) で、対向電極 33 に覆われた発光層 16 から発せられた光は、バンク層 17 を透過して駆動用 TFT 5 の図示しない半導体活性層に入射する。このとき発光層 16 からの光は半導体活性層の側面に直接入射するものと、対向電極 33 で反射して半導体活性層の上面から入射するものがある。又、同時に制御用 TFT 6 の図示しない半導体活性層にも入射する。特に a-Si は、光半導体としても利用されているように、光の影響を受けやすく、光照射により大きなリーク電流が発生する。

そのため、図 8 (B) に示すように、発光層 16 と駆動用 TFT 5 との間のバンク層 17 に切り欠き部 35 を設ける。又、発光層 16 と制御用 TFT 6 との間のバンク層にも同様な切り欠き部 36 を設ける。その後、上から対向電極 33 を覆うように形成する。対向電極 33 は前述したように Al や Cr などのような光を反射する金属層であり、切り欠き部 35 や 36 を覆うように形成された対向電



極 3 3 の内面により、光が T F T に入射することなく反射される。

この時、切り欠き部 3 5、3 6 の対向電極 3 3 の内面形状により、光を図の下側、すなわち、図示しないガラス基板方向に反射するようにすると、ガラス基板側から表示を視認する際の見かけ上の輝度が向上する。切り欠き部 3 5、3 6 の形状は、発光層側の輪郭を発光層 1 6 の輪郭に沿った形状にした方が発光層 1 6 からの光を効率よく表示に用いることができ、T F T 側の輪郭をできるだけ T F T 付近に位置するようにした方が T F T への光の入射を確実に防止できる。

図 2 に示すように、発光層 1 6 と駆動用 T F T 5 の間に位置する切り欠き部 3 5 は画素の幅方向に直線的に設けられているが、発光層 1 6 と制御用 T F T 6 の間に位置する切り欠き部 3 6 は、発光層 1 6 の幅方向の外縁にほぼ沿うような形状をしている。つまり駆動用 T F T 5 は a - S i 型 T F T であるため、画素電極 1 4 に十分な電流を供給できるように画素の幅方向にわたって大きく形成されており、この駆動用 T F T 5 への光入射を防止するために、切り欠き部 3 5 は駆動用 T F T 5 に沿って長く形成されている。また、制御用 T F T 6 はゲート信号線 2 とソース信号線 3 の交差部に形成されているため、切り欠き部 3 6 は少なくとも両信号線 2、3 の交差部付近に形成される。更に、両信号線 2、3 の交差部の間にも切り欠き部 3 6 を形成し、制御用 T F T 6 への光照射を確実に防止すると共に、発光層 1 6 の光を下方の表示領域に導くことができる。このようにすれば、発光層 1 6 からの不要な光を光源を覆うように遮光できるようになると同時に、切り欠き部 3 6 で反射した光が発光層 1 6 の本来の光路に重畳されて、より一層の輝度の向上が望める。

また、発光層 1 6 からの光の影響は同一画素内に留まらず、隣接する画素の駆動用 T F T に影響を及ぼす可能性もあり、且つ、切り欠き部による反射効率を高める観点からも、切り欠き部 3 5、3 6 は画素の短辺に近い長さにしたほうがよい。

両 T F T 5、6 を覆うバンク層 1 7 には対向電極 3 3 が施されている。つまり両 T F T 5、6 の上方を遮光性の対向電極 3 3 で覆うことになり、両 T F T 5、6 の上方からの光入射を防止することができる。なお、両 T F T 5、6 の上方を

対向電極 33 のような導電体で覆う場合、バンク層 17 は T F T 5、6 と対向電極 33 の間隔を広げる役割も果たす。対向電極 33 には常に一定の電圧が印加されているため対向電極 33 が T F T 5、6 に近い場所に配置されると、T F T 5、6 の動作に悪影響を及ぼす。したがって T F T 5、6 と対向電極 33 は極力離す方が良く、T F T 5、6 を覆うバンク層 17 の膜厚を厚くすることでその間隔を確保することができる。したがって発光素子の周囲にバンク層 17 を形成しない場合でも、T F T 5、6 上にはバンク層 17 を設け、そのバンク層 17 上に対向電極 33 を積層することで T F T 5、6 への光入射を防止でき、T F T 5、6 上にバンク層 17 を設けることが有効である。この場合、バンク層 17 の端縁が発光素子と T F T 5、6 の間に位置するようにバンク層 17 を設けることにより、切り欠き部 35、36 を設けない構成とすることもできる。

この実施例ではバンク層の切り欠き部や T F T の上方に位置する遮光性の膜を対向電極で形成した。従って対向電極とは別に遮光性の膜を形成する必要がないため、製造工程が簡単になる。しかし本発明は、この遮光性の膜を対向電極で形成することに限定するものではなく、例えば T F T を覆うバンク層に黒色の樹脂膜を形成しても良い。

以上のように本発明は、有機 E L 素子に電流を供給する T F T を a - S i 型 T F T で形成することを目的としたものであり、これによりポリシリコン型 T F T を製造する必要がなくなるため、製造工程を簡単にでき、安価な表示装置を得ることができる。そしてこの本発明の要旨を逸脱しない範囲であれば上記実施例以外の形態も可能である。例えばこの実施例では、駆動用 T F T 5 として直線状のドレイン電極 9 と、ドレイン電極 9 を囲むような U 字状のソース電極 8 を備えたものを用い、ドレイン電極 9 の両側面に細長状のチャネル領域を有する構成にしたが、有機 E L 素子に十分な電流が供給できる構成であれば、駆動用 T F T 5 をこの形態に限定するものではなく、例えば、それぞれ横長状のソース電極とドレイン電極を備え、そのチャネル幅の方向が発光層 16 の長手方向と直交するようにソース・ドレイン電極を配置した形態でもよい。また駆動用 T F T 5 のソース・ドレイン電極を他の形状にしてもよく、ソース電極をコ字状にしてドレイン

電極を直線状にしたり、ドレイン電極をU字状にしてソース電極を直線状にしてもよい。

また、本発明では有機EL素子に電流を供給するTFTをnチャネル型のa-Si型TFTで形成しているが、pチャネル型のa-Siでも良い。つまりTFTを同一種類のチャネルにより形成するため、製造工程を簡単にでき、安価な表示装置を得ることができる。

#### 産業上の利用可能性

本発明は、複数の画素をマトリクス状に配置した表示装置において、各画素内に設けた発光素子と、各画素毎に設けるとともに前記発光素子に電流を供給して発光させる駆動用TFTと、駆動用TFTの動作を制御する制御用TFTを備え、駆動用TFT及び制御用TFTの半導体層がa-Siであることとする。これにより、高い製造技術や高価な製造装置を必要とすることなく、特性が均一なTFTを大面積で製造することができるため、低価格で大型化にも適した自発光型の表示装置を提供することができる。

また、a-Si型TFTを用いる場合、発光素子に十分な電流を供給するため駆動用TFTをできるだけ大きくすることが必要となるが、発光素子を縦長状に形成し、駆動用TFTを横長状に形成し、その長手方向が発光素子の長手方向と直交するように配置し、更にソース信号線に沿って発光素子、駆動用TFT、電力供給線、制御用TFTの順に配置することにより画素内の限られたスペースに各素子を効率良く配置することができ、発光素子を大きく配置しながら駆動用TFTを大きくすることができるため、良好な表示状態の表示装置が得られる。

また、駆動用TFTのチャネル領域を細長状に形成し、ソース・ドレイン電極のうち一方の電極はほぼ直線状に形成し、他方の電極は一方の電極を囲むような形状に形成することにより、駆動用TFTのチャネル幅を大きくすることができ、a-Si型TFTを用いる場合においても発光素子に十分な電流を供給することができる。

また、駆動用TFTと制御用TFTの間に保持容量を設け、保持容量の一方の

電極は電力供給線が兼ね、他方の電極は制御用 T F T のドレイン電極及び駆動用 T F T のゲート電極と接続する補助電極によって形成することにより、保持容量形成のために専用の容量線を必要とせず、各素子をコンパクトに配置でき、発光素子に割り当て可能な面積を拡大して発光効率と輝度の向上に貢献する。

また、発光素子の発光色毎に対応した複数の電力供給線を設け、その複数の電力供給線を駆動用薄膜トランジスタと制御用薄膜トランジスタの間に配置し、発光素子には対応する電力供給線からの電流を供給することにより、発光効率が異なるそれぞれの色の発光素子に適した電流を供給することで最適なフルカラー表示が可能になる。

また、制御用 T F T のゲート電極としてゲート信号線を用い、制御用 T F T をゲート信号線上に形成することにより、特別にゲート電極を設けなくてもすみ、制御用 T F T の形成のための新たな領域を必要としないため、それだけ駆動用 T F T を配置するスペースを大きく確保することができる。

また、発光素子の周囲に配置されるバンク層を駆動用 T F T 及び制御用 T F T 上にも重なるように形成し、更に発光素子と、駆動用 T F T 及び隣接する画素に設けられた制御用 T F T との間のバンク層に切り欠き部を形成して、少なくとも切り欠き部付近のバンク層に遮光性の膜を積層することにより、発光層からの光がこれらの T F T の半導体層に入射して起こる光リークを低減し、表示品位の高い表示装置を提供することができる。

また、駆動用 T F T と制御用 T F T を n チャネル型或いは p チャネル型のいずれかの a - S i により形成することにより、製造工程が簡素化でき、複雑な製造設備も必要とせず、歩留まりの向上と同時にコストの低減を図ることができる。

## 請求の範囲

1. 複数の画素をマトリクス状に配置した表示装置において、各画素内に設けた発光素子と、各画素毎に設けるとともに前記発光素子に電流を供給して発光させる駆動用薄膜トランジスタと、前記駆動用薄膜トランジスタの動作を制御する制御用薄膜トランジスタを備え、前記駆動用薄膜トランジスタ及び制御用薄膜トランジスタの半導体層がアモルファスシリコンで形成されていることを特徴とする表示装置。
2. 請求項1に記載の表示装置において  
前記発光素子を縦長状に形成し、前記駆動用薄膜トランジスタを横長状に形成し、その長手方向が前記発光素子の長手方向と直交するように配置されている。
3. 請求項1に記載の表示装置において、  
発光素子を縦長状に形成し、前記駆動用薄膜トランジスタを横長状に形成し、前記制御用薄膜トランジスタに接続するゲート信号線とソース信号線をマトリクス状に配置し、前記発光素子をその長手方向が前記ソース信号線と平行になるように配置し、前記駆動用薄膜トランジスタをその長手方向が前記ゲート信号線と平行になるように配置する。
4. 請求項3に記載の表示装置において、  
前記駆動用薄膜トランジスタはチャンネル領域を細長状に形成し、そのチャンネル領域の長手方向が前記ゲート信号線と平行になるように配置する。
5. 請求項1に記載の表示装置において、  
前記駆動用薄膜トランジスタは、ソース電極とドレイン電極のうち一方の電極は直線状に形成され、他方の電極は一方の電極を囲む形状に形成されている。
6. 請求項1に記載の表示装置において、  
前記駆動用薄膜トランジスタは、U字状のソース電極と、前記U字状の二又の間に配置されたドレイン電極とを有する。
7. 請求項1に記載の表示装置において、  
マトリクスの行方向の各画素内に設けられた前記制御用薄膜トランジスタの

ゲート電極に共通に接続されたゲート信号線と、前記駆動用薄膜トランジスタを介して前記発光素子に電流を供給する電力供給線とを行ごとに備え、列方向の各画面内に設けられた前記制御用薄膜トランジスタのソース電極に共通に接続されるとともに前記ゲート信号線に交差するソース信号線を列ごとに備え、前記ゲート信号線と前記ソース信号線とで囲まれた領域内では、平面的に見てソース信号線に沿って発光素子、駆動用薄膜トランジスタ、電力供給線、制御用薄膜トランジスタの順に配置されている。

8. 請求項7に記載の表示装置において、

前記駆動用薄膜トランジスタと前記制御用薄膜トランジスタの間には保持容量が設けられ、前記保持容量の一方の電極は電力供給線が兼ね、他方の電極は前記制御用薄膜トランジスタのドレイン電極と接続する補助電極によって形成し、前記補助電極は前記駆動用薄膜トランジスタのゲート電極と電気的に接続されている。

9. 請求項7に記載の表示装置において、

異なる色を発する発光素子を備え、その発光色毎に対応した複数の電力供給線を設け、その複数の電力供給線を駆動用薄膜トランジスタと制御用薄膜トランジスタの間に配置し、発光素子には対応する電力供給線からの電流を供給する。

10. 請求項7に記載の表示装置において、

前記制御用薄膜トランジスタのゲート電極としてゲート信号線を用い、前記制御用薄膜トランジスタはゲート信号線上に形成されている。

11. 請求項1に記載の表示装置において、

前記発光素子の周囲にバンク層が配置されており、前記バンク層は前記駆動用薄膜トランジスタ上にも重なるように形成され、前記発光素子と前記駆動用薄膜トランジスタとの間の前記バンク層に切り欠き部が形成され、少なくとも切り欠き部付近の前記バンク層には遮光性の膜が積層されている。

12. 請求項1に記載の表示装置において、

前記発光素子の周囲にバンク層が配置されており、前記バンク層は前記制御

用薄膜トランジスタ上にも重なるように形成され、前記発光素子と隣接する画素に設けられた前記制御用薄膜トランジスタとの間の前記バンク層に切り欠き部が形成され、少なくとも切り欠き部付近の前記バンク層には遮光性の膜が積層されている。

13. 請求項 1 に記載の表示装置において、

前記駆動用薄膜トランジスタ及び前記制御用薄膜トランジスタを覆うようにバンク層が形成され、前記バンク層の端縁が駆動用薄膜トランジスタ及び制御用薄膜トランジスタと前記発光素子との間に位置し、前記バンク層には遮光性の膜が積層されている。

14. 請求項 1 乃至請求項 1 3 のいずれかに記載の表示装置において、

前記発光素子の発光層の下方に配置されるとともに前記駆動用薄膜トランジスタに接続する画素電極と、前記発光層を挟んで前記画素電極と対向配置するとともに前記バンク層を覆う対向電極とを備え、前記遮光性の膜は前記対向電極により形成されている。

15. 請求項 1 乃至請求項 1 3 のいずれかに記載の表示装置において、

前記駆動用薄膜トランジスタと前記制御用薄膜トランジスタは n チャンネル型により形成されている。

16. 請求項 1 乃至請求項 1 3 のいずれかに記載の表示装置において、

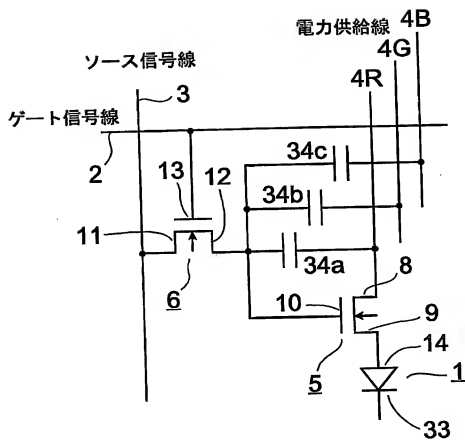
前記駆動用薄膜トランジスタと前記制御用薄膜トランジスタは p チャンネル型により形成されている。

17. 請求項 1 乃至請求項 1 3 のいずれかに記載の表示装置において、

前記発光素子は有機エレクトロルミネッセンスである。

1 / 6

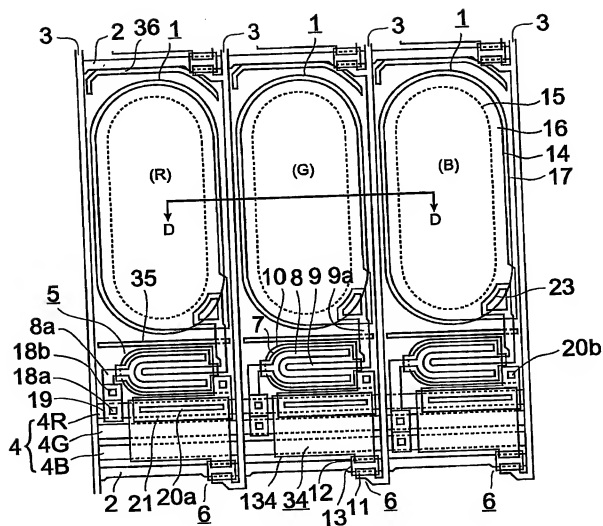
図 1





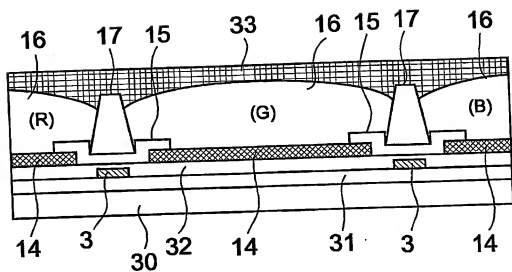
2 / 6

図 2



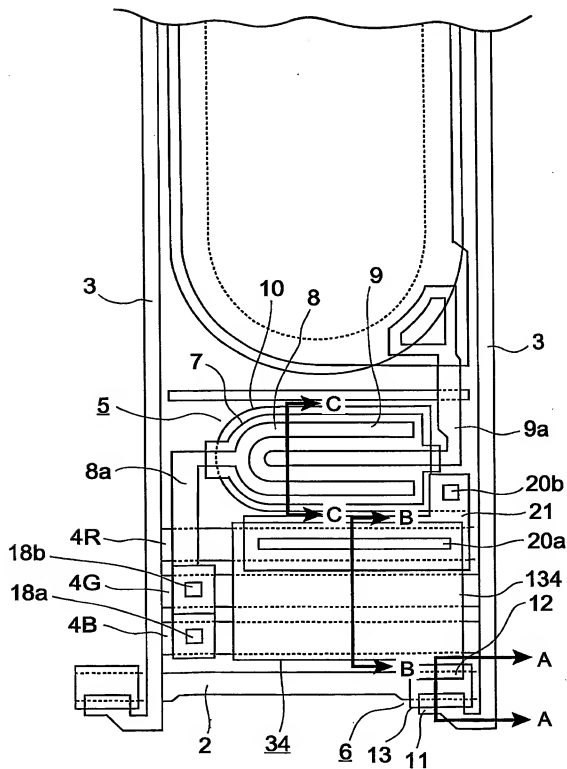
3 / 6

図 3



4 / 6

图 4



5 / 6

図 5

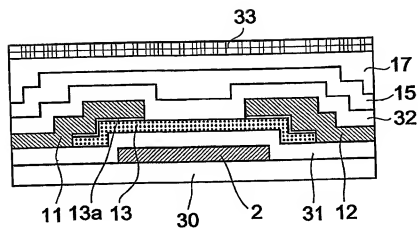


図 6

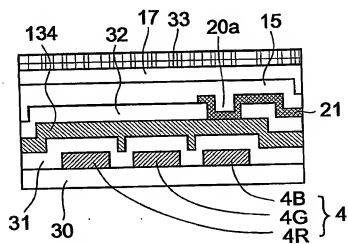
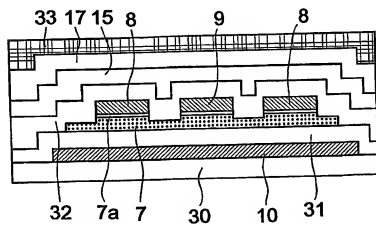


図 7



6 / 6

図 8 A

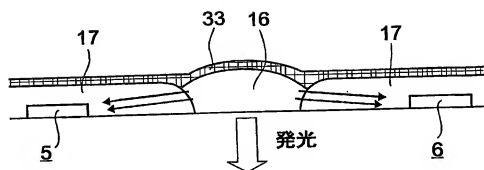
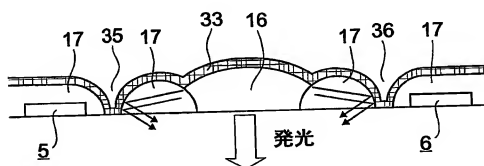


図 8 B



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/05222

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>7</sup> G09F9/30, H05B33/12, H05B33/14, G02F1/1368

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl.<sup>7</sup> G09F9/00-9/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2003  
Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 845812 A2 (CASIO COMPUTER CO., LTD.), 03 June, 1998 (03.06.98), Page 4, lines 10 to 54; Figs. 1, 2 & JP 10-161564 A & JP 10-162958 A & KR 259978 B1 & US 6072450 A	1, 15, 16, 17

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

- \* Special categories of cited documents:  
 "A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier document but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
18 July, 2003 (18.07.03)

Date of mailing of the international search report  
05 August, 2003 (05.08.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/05222

## Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Claims 2-17 refer to claim 1 and share the technical feature of claim 1. However, the search has revealed that the technical feature of claim 1 is conventionally known as is shown in the following partial International Search. As a result, the technical feature of claim 1 is not a special technical feature within the meaning of PCT Rule 13.2, second sentence. Accordingly, there is no technical feature common to all the claims.

Since there exists no other common feature which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 between the different inventions can be seen.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
  
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
  
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1, 15, 16, 17

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.  
☐ No protest accompanied the payment of additional search fees.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G09F9/30, H05B33/12, H05B33/14, G02F1/1368

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G09F9/00-9/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2003年  
 日本国実用新案登録公報 1996-2003年  
 日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	EP 845812 A2 (CASIO COMPUTER CO., LTD.) 1998.06.03 第4頁第10-54行、図1, 2 &JP 10-161564 A &JP 10-162958 A &KR 259978 B1 &US 6072450 A	1, 15, 16, 17

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

18.07.03

国際調査報告の発送日

05.08.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JJP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

伊藤 昌哉

電話番号 03-3581-1101 内線 3274

2M 8808



## 第I欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。  
つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第II欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるこの国際調査機関は認めた。

請求の範囲2～17は、すべて、請求の範囲1に従属するものであるから、請求の範囲1に記載された構成を共有している。しかし、請求の範囲1に記載された構成は、調査の結果、次の部分的な国際調査に示されるように、従来から知られている先行技術であることが明らかになった。結果として、請求の範囲1に記載された構成は、PCT規則13.2の第2文の意味において、特別な技術的特徴ではない。それ故、請求の範囲全てに共通の事項はない。

また、PCT規則13.2の第2文の意味において特別な技術的特徴と考えられる他の共通事項は存在しないので、それらの相違する発明の間にPCT規則13の意味における技術的な関係を見いだすことはできない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲1, 15, 16, 17

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。  
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。